

Arquitectura de Computadoras para Ingeniería

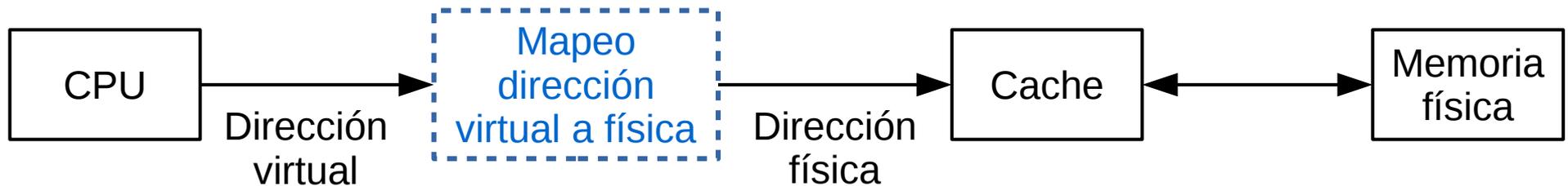
(Cód. 7526)
1° Cuatrimestre 2016

Dra. Dana K. Urribarri
DCIC - UNS

Jerarquía de Memoria

Indexado físico y virtual

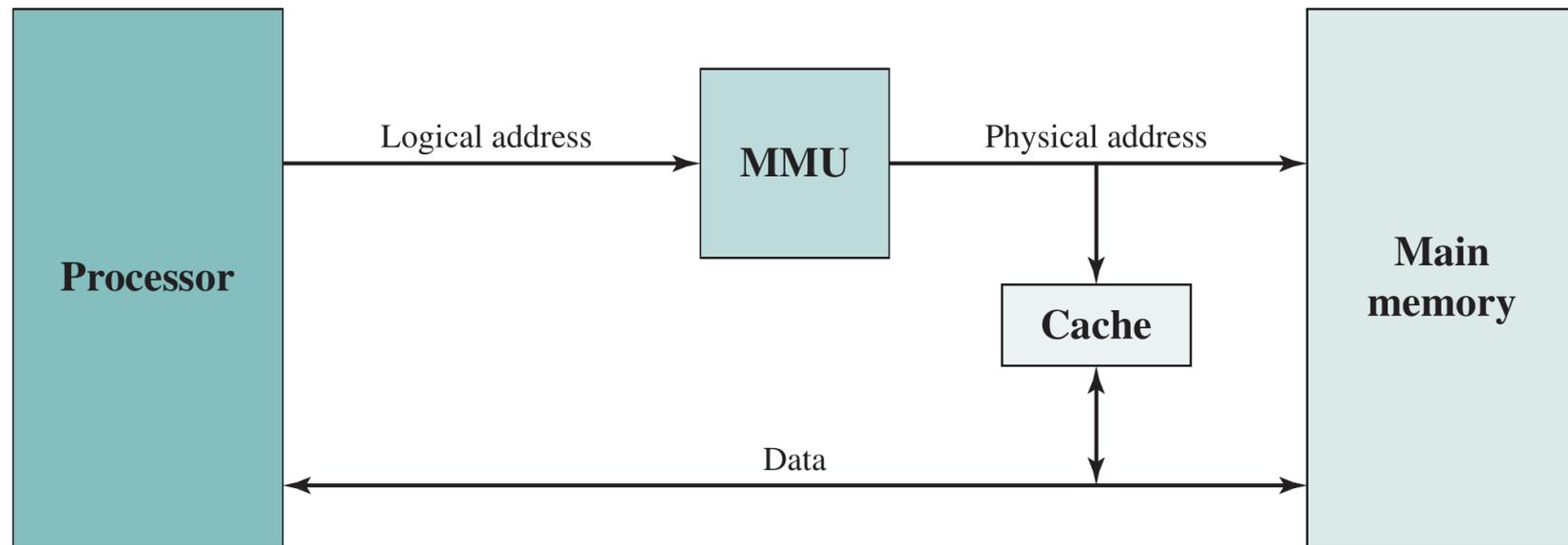
- En el diseño de memoria virtual la caché se puede ubicar en dos lugares:
 - entre el procesador y la MMU
 - entre la MMU y la memoria física.



- Hay tres posibles opciones de acceso a la caché:
 - Index y tag físicos
 - Index y tag virtuales
 - Index virtual y tag físico

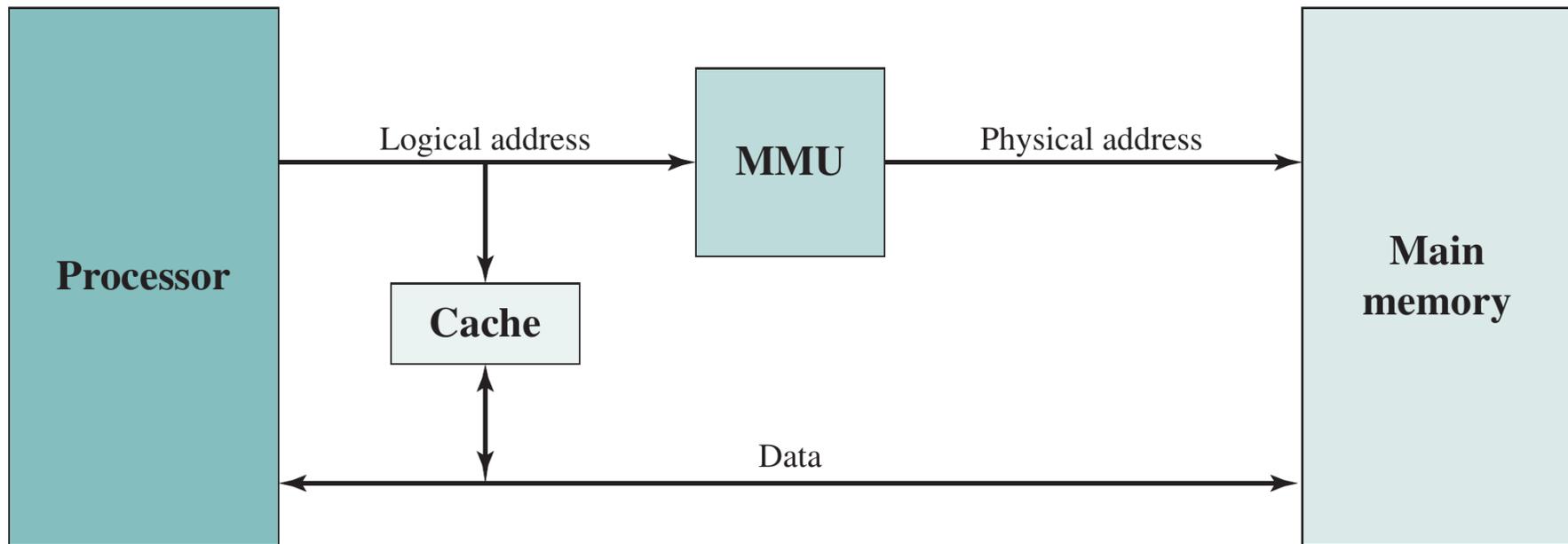
Indexado físico y virtual

- **Cache física:**
 - Los datos se guardan usando la dirección física.
 - El procesador accede a través de la MMU.



Indexado físico y virtual

- **Cache virtual (cache lógica):**
 - Los datos se almacenan usando la dirección virtual.
 - El procesador accede directamente a la caché.



Cache Virtual

- ✓ La caché virtual responde más rápido que la caché física:
 - No requiere siempre mapear dirección lógicas a físicas.
 - Solamente ante un faltante en la caché.
- ✗ La misma dirección virtual en dos aplicaciones diferentes se refieren a direcciones físicas distintas. (Las aplicaciones tienen todas el mismo espacio de direcciones virtuales.)
 - La caché debe limpiarse al cambiar de aplicación o debe contener información adicional para identificar el espacio virtual al que se corresponde la línea.
 - Problema de sinónimos o alias.

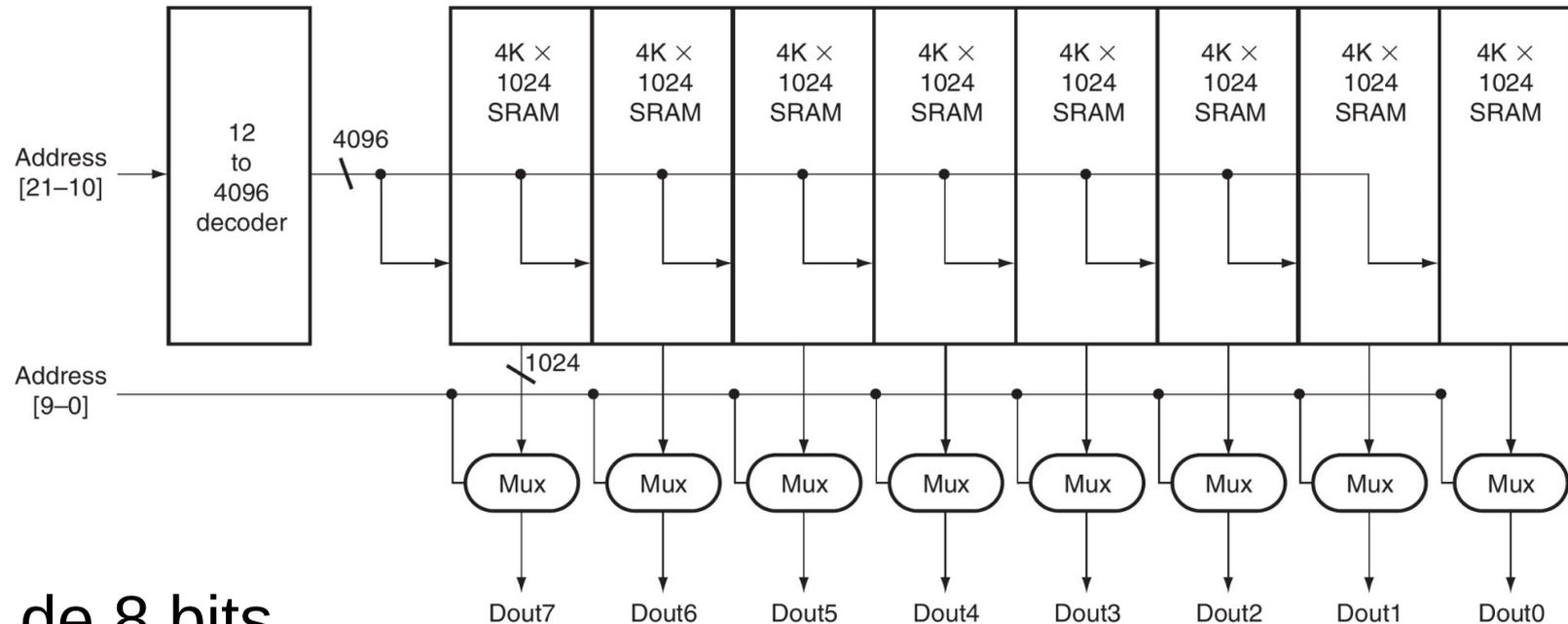
Cache Virtual

- Problema de sinónimos o alias
 - Dos aplicaciones comparten el mismo segmento de código o datos.
 - La posición de ese segmento compartido no es la misma en todos los espacios de direcciones virtuales.
- En caché virtual puede haber dos líneas ocupadas por sinónimos.
- Si una se modifica, la otra queda inconsistente.
- Solución
 - Por hardware → I-cache AMD Opteron
 - Por software → UNIX en la UltraSPARC Sun Microsystem
- No es aplicable a caché de datos. Los dispositivos de I/O usan direcciones físicas.

Mejorar el ancho de banda

- El bus transfiere la mayor cantidad de información posible por ciclo
- Acelera la comunicación entre el Procesador y la MP
- Dado un tamaño de ancho del bus, los chips de DRAM se organizan para, por cada requerimiento, proveer datos del ancho del bus.

Mejorar el ancho de banda



- Bus de 8 bits.
- Arreglo de 8 chips de memoria.
- ¿bus de 64 o 128 bits?
- Si aumenta el ancho del dato que devuelve, aumenta la cantidad de líneas necesarias y por lo tanto aumenta el costo.

Mejorar el ancho de banda

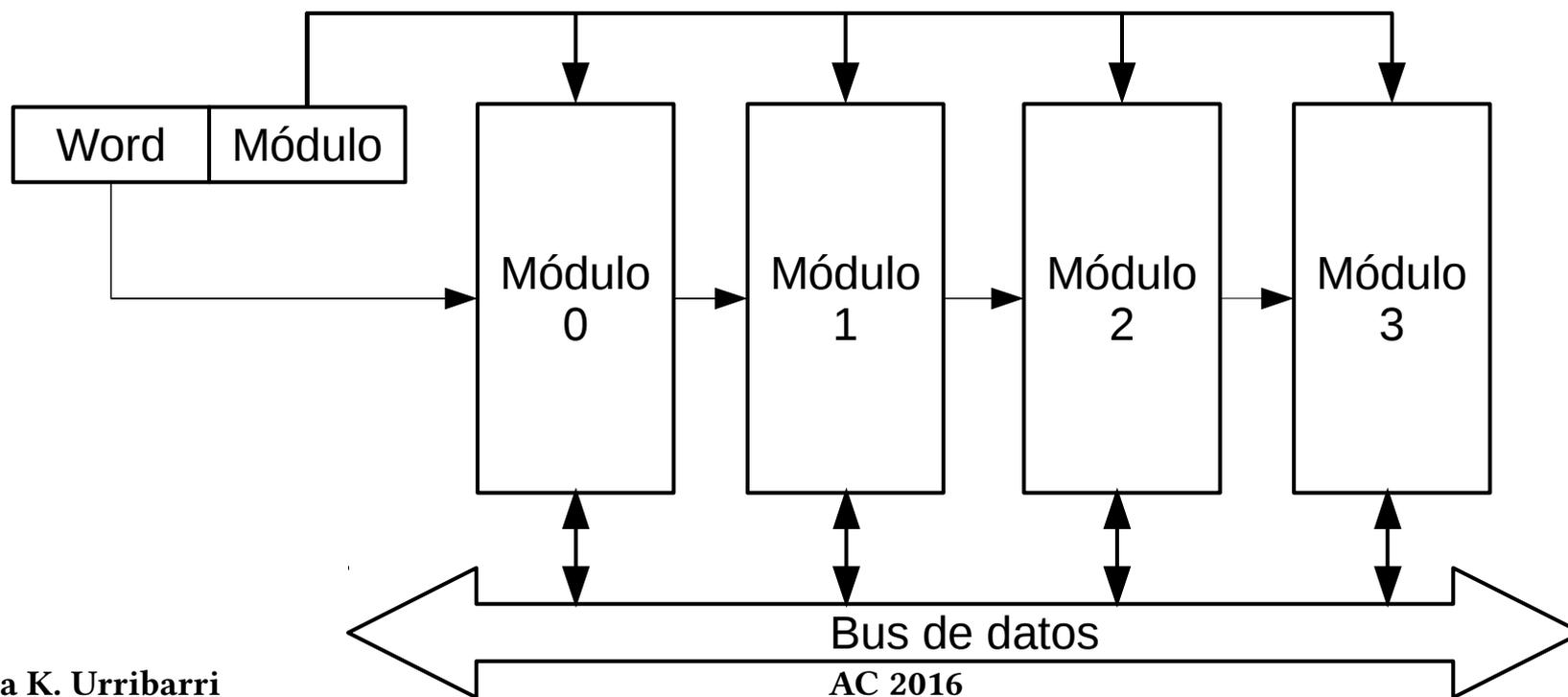
- Idealmente, el número de bits que se obtienen por requerimiento de lectura debería ser igual a la cantidad de bits que pueden transmitirse por el bus de datos.
- Si se leen menos bits, el controlador de memoria deberá incluir un buffer para concatenar los resultados.

Interleaving de memoria

- La memoria se divide en bancos (o módulos) que reciben comandos independientes desde el controlador de memoria.
- Palabras consecutivas se almacenan en bancos diferentes de memoria.
- Permite paralelizar las referencias a memoria consecutiva.
- Esos bancos pueden intercalar la información de diferentes maneras.

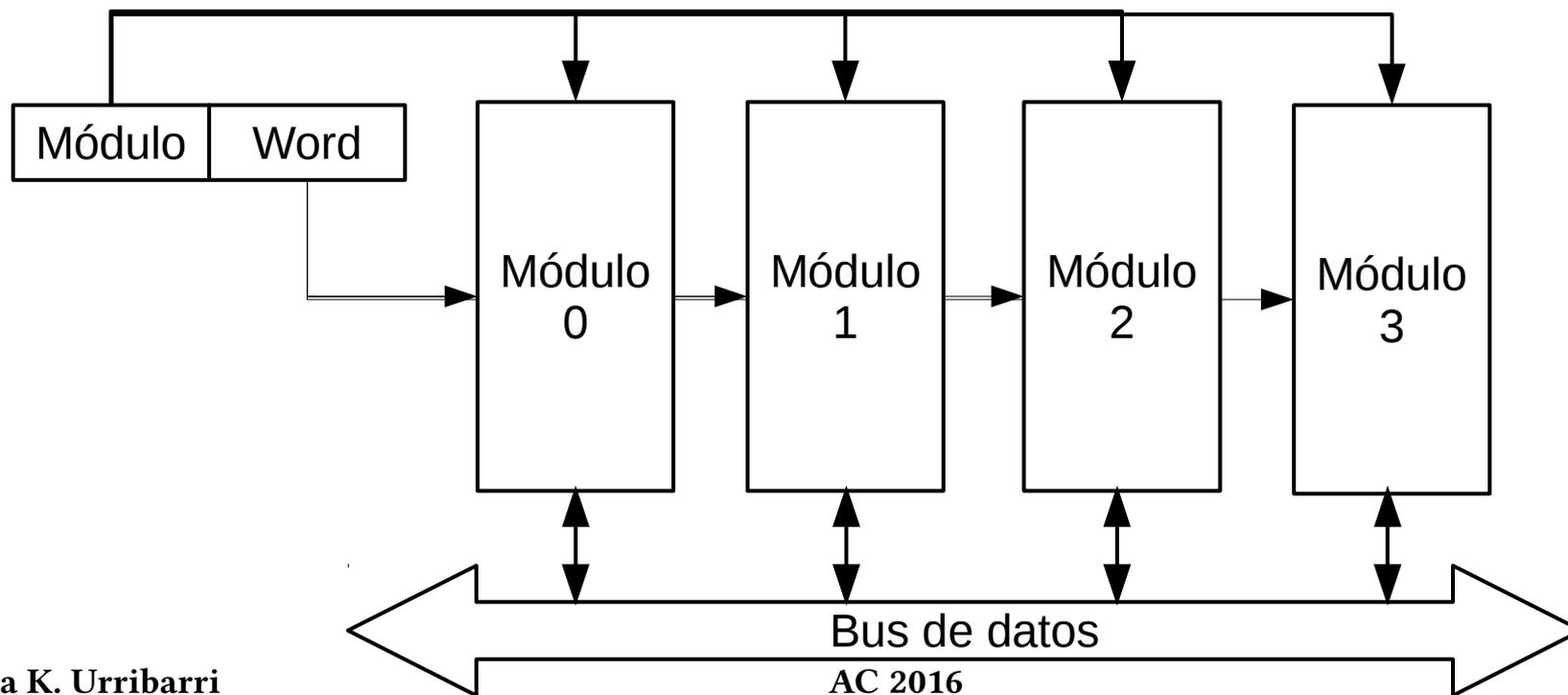
Low-order interleaving

- Posiciones contiguas de memoria se distribuyen lo largo de los m módulos.
- Los bits menos significativos seleccionan el módulo y los bits más significativos indican el desplazamiento dentro del módulo.



High-order interleaving

- Los bits más significativos seleccionan el módulo y los bits menos significativos indican el desplazamiento dentro del módulo.
- Posiciones contiguas de memoria se almacenan en el mismo módulo. No permite acceder a bloques.



Bibliografía



- *Capítulo 6. Multiprocessor Architecture. From simple pipelines to chip multiprocessor.* Jean-Loup Baer. Cambridge University Press. 2010.