

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		1 5
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS	CÓDIGO: 5561 ÁREA N°: IV	

CARRERAS Licenciatura en Ciencias de la Computación Ingeniería en Sistemas de Información					
PROFESOR RESPONSABLE: Dra. Dana Karina Urribarri – Profesora Adjunta con Dedicación Semiexclusiva					
CARGA HORARIA	Teoría 64	Práctica 38	Laboratorio 26	CANTIDAD DE SEMANAS	16
CORRELATIVAS					
PARA CURSAR LA MATERIA			PARA APROBAR LA MATERIA		
APROBADAS -Lenguajes Formales y Autómatas	CURSADAS - Organización de Computadoras	APROBADAS - Organización de Computadoras	CURSADAS		
DESCRIPCIÓN					
<p>El objetivo de la materia es que los alumnos comprendan el funcionamiento de un sistema de cómputo.</p> <p>Inicialmente se presenta la arquitectura MIPS y la diferencia entre arquitectura y microarquitectura.</p> <p>Antes de continuar con temas específicos de la materia, se abordan temas necesarios básicos referidos a técnicas digitales (circuitos combinatorios y secuenciales).</p> <p>Se comienza con temas relacionados al funcionamiento de la ALU. Luego se ve la ejecución de instrucciones por parte del procesador central (CPU), profundizando la implementación en pipeline y diferentes formas de lograr paralelismo a nivel de instrucciones. Se continúa con la jerarquía de memoria; se profundizan temas de Memoria Cache y se ven conceptos de Memoria Virtual correspondientes al hardware. Para completar el proceso, se abordan temas específicos de control del CPU.</p> <p>Por último, se presenta una clasificación de los sistemas, derivada de la de Flynn, en función del paralelismo presente a nivel de datos y de instrucciones.</p> <p>Como resultado se espera que el alumno alcance un nivel de conocimiento en el área de los microprocesadores que lo habilite a analizar, evaluar y comparar distintas arquitecturas. La materia, brinda conocimientos básicos para tratar temas posteriores relacionados a sistemas operativos, sistemas distribuidos, etc.</p>					
METODOLOGÍA DE ENSEÑANZA					
<p>En las clases teóricas se presentan transparencias que resumen la totalidad de los contenidos del curso. Se motiva la participación de los alumnos a través de preguntas referidas a conceptos desarrollados previamente, en la misma materia o en las materias correlativas</p>					

DKU

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		2
5		
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS	CÓDIGO: 5561	
	ÁREA N°: IV	

Las actividades prácticas han sido diseñadas con el objetivo de reforzar, vincular y consolidar los conceptos presentados en teoría y desarrollar la capacidad para analizar, evaluar y comparar arquitecturas de computadoras.

Tanto en las clases teóricas como prácticas el uso de simuladores permite aplicar los contenidos presentados y complementar los ejercicios en papel. Además, se presentan ejemplos de soluciones reales a cuestiones teóricas planteadas previamente mediante el análisis de arquitecturas comerciales.

MECANISMO DE EVALUACIÓN

Para el cursado de la materia se deben aprobar dos exámenes parciales o sus respectivos recuperatorios. El examen final tiene como objetivo evaluar la integración de los conocimientos teóricos y prácticos.

PROGRAMA SINTÉTICO

1. **Introducción.** Arquitectura MIPS. Concepto de microarquitectura. Arquitecturas von Neumann y Harvard.
2. **Técnicas Digitales.** Introducción a los circuitos lógicos, combinatorios y secuenciales. Circuitos integrados. Multiplexor. Decoder. ROM. PLA. Contadores y registros. Conceptos de arquitecturas reconfigurables. Conceptos de arquitecturas basadas en servicios.
3. **Operaciones básicas y máquinas algorítmicas.** Algoritmos de las operaciones aritméticas básicas: Suma, Resta, Multiplicación y División. Implementaciones básicas.
4. **Procesador Central.** Concepto de pipeline. Medidas de desempeño. Look ahead y paralelismo. Pipeline de instrucciones. Procesador superescalar. Paralelismo a nivel de instrucciones.
5. **Jerarquía de Memoria.** Organización funcional. Tecnologías. Memoria RAM. Memoria asociativa. Memoria Cache: organización, políticas de actualización, caché multinivel y caché no bloqueante. Memoria Virtual: segmentación, paginación y mecanismos de traducción.
6. **Control.** Control microprogramado y cableado. Comparación.
7. **Procesamiento paralelo.** Clasificación del procesamiento paralelo. Arquitecturas no von Neumann. Arquitecturas multiprocesador. Procesadores Vectoriales. Procesadores de alta prestación.

Dier

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		3 5
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS	CÓDIGO: 5561	
	ÁREA N°: IV	

PROGRAMA ANALÍTICO

1. **Introducción.** Arquitectura MIPS. Concepto de microarquitectura. Diferencias entre la arquitectura von Neumann y la arquitectura Harvard.
2. **Técnicas digitales.**
 - a) Álgebra de Boole. Formas especiales de expresiones canónicas. Minitérminos y Maxitérminos.
 - b) Circuitos combinatorios. Compuertas. Lógica positiva, lógica negativa y lógica mixta. Diagramas lógicos. Método tabular y método gráfico de simplificación de funciones en dos niveles.
 - c) Niveles de integración de circuitos. Bloques funcionales: multiplexor, decoder/demultiplexor, encoder. Conceptos de tecnologías programables: memorias de sólo lectura (ROM, PROM, EPROM), Arreglos lógicos programables (PLA), Programmable Array Logic (PAL). Concepto de Field Programmable Gate Array (FPGA). Arquitecturas basadas en servicios.
 - d) Introducción a los circuitos secuenciales. Concepto de pulso y nivel. Latches y flip-flops como elementos de memoria. Diversos tipos de flip-flop: S-R, D, T, J-K.
 - e) Registros, registros de desplazamiento y contadores (sincrónicos y asincrónicos). Implementación de circuitos secuenciales a partir de registros y contadores.
3. **Operaciones básicas y máquinas algorítmicas.**
 - a) Adición y Sustracción de enteros. Circuitos semisumador y sumador completo. Implementación en serie. Implementaciones en paralelo: ripple adder, carry-lookahead adder, lookahead tree adder, carry-skip adder y carry-select adder. Análisis del retardo. Carry-save adder (CSA).
 - b) Multiplicación de enteros signados y no signados. Implementación secuencial. Recodificación del multiplicador, recodificación de Booth. Uso de Carry-Save Adder en el proceso de multiplicación. Wallace Tree. Análisis del retardo. Árboles multiplicadores con circuitos VLSI.
 - c) División con y sin restauración. Hardware de división. Método de división rápida a partir del cálculo de la inversa del divisor. Estrategias para acelerar la división.
4. **Procesador Central.**
 - a) Medidas de desempeño generales. Medidas de comparación de dos microarquitecturas. Diseño único ciclo, multiciclo y en pipeline. Medidas de desempeño de la implementación en pipeline.

Del

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		4 5
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS	CÓDIGO: 5561	
	ÁREA N°: IV	

- b) Pipeline de instrucciones. Esquema básico de 5 etapas para la arquitectura MIPS. Rendimiento. Requerimientos de hardware. Conflictos de datos, de recursos y de control. Soluciones en ejecución y en compilación a estos conflictos. Renombramiento de registros. Ejecución fuera de orden (despacho condicional). Predicción del *branch*. *Branch* retardado. Predicción dinámica. Ejecución especulativa.
- c) Paralelismo a nivel de instrucciones. Procesadores Superescalares, *Very Long Instruction Word* y EPIC.

5. Jerarquía de Memoria.

- a) Memorias RAM (*Random Access Memory*) semiconductoras, estáticas y dinámicas. Memorias asociativas. Direccionamiento.
- b) Jerarquía de memoria. Organización funcional. Localidad de las referencias. Tiempos de acceso a cada nivel. *Interleaving* de Memoria.
- c) Memoria Caché. Formas de organización. Políticas de actualización/escritura. Caché virtual. Caché multinivel. Caché no bloqueante.
- d) Concepto de Memoria Virtual y requerimientos a nivel de arquitectura. Formas de organización: paginación, segmentación y segmentación con paginación. Mecanismos de traducción. *Translation Lookaside Buffer*.

6. **Control.** Métodos de control por lógica cableada y microprogramado. Esquema de un control cableado. Campos básicos de una microinstrucción. Microprogramación vertical y horizontal. Memoria de control. Análisis comparativo del control entre arquitecturas RISC y CISC.

7. **Procesamiento Paralelo.** Clasificación de Flynn: SISD, SIMD, MISD, MIMD. Extensión de la clasificación de Flynn. Arquitecturas no convencionales. Arquitecturas no von Neumann. Concepto de procesadores de alta prestación, procesador vectorial, arquitecturas multiprocesador y arquitecturas Grid.

BIBLIOGRAFÍA

- Andrew S. Tanenbaum & Todd Austin. *Structured Computer Organization*. Pearson. 2013, 6ta Ed.
- Bruce Jacob, Spencer W. Ng & David T. Wang. *Memory systems cache, DRAM, disk*. Elsevier, 2008.
- David A. Patterson & John L. Hennessy. *Computer Organization and Design. The Hardware/Software Interface*. Elsevier Inc. 2014, 5ta Ed.

DKO

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		5
5		
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS	CÓDIGO: 5561	
	ÁREA N°: IV	

- David M. Harris & Sarah L. Harris. *Digital Design and Computer Architecture*. Elsevier. 2013, 2da Ed.
- Jean-Loup Baer, *Microprocessor Architecture, From Simple Pipelines to Chip Multiprocessors*. CAMBRIDGE University Press, 2010.
- John L. Hennessy & David A. Patterson. *Computer Architecture: A Quantitative Approach*. Morgan Kaufmann Publishers INC. 2003 (3ra Ed.), 2007 (4ta Ed.), 2012 (5ta Ed.).
- M. Morris R. Mano, Charles R. Kime & Tom Martin. *Logic & Computer Design Fundamentals*. Pearson. 2015, 5ta Ed.
- M. Morris Mano & Michael D. Celetti. *Digital Design: With an Introduction to the Verilog HDL*. Pearson. 2015, 5ta Ed.
- William Stallings. *Computer Organization and Architecture. Designing for Performance*. Pearson. 2013, 9na Ed.

Bibliografía Suplementaria

- J. Hayes, *Computer Architecture and Organization*. McGraw-Hill 1978.
- K. Wang y F. Briggs, *Computer Architecture and Parallel Processing*. McGraw-Hill, 1984.
- M. Marcus, *Switching circuits for engineers*. Prentice-Hall 1977.
- T. Blakeslee, *Digital design with standard MSI and LSI*. John Wiley & Sons 1979.
- John F. Wakerly. *Digital Design Principles & Practices*. Prentice Hall. 1999, 3era Ed.

AÑO 2019		FIRMA PROFESOR RESPONSABLE 	
VISADO			
COORDINADOR ÁREA	SECRETARIO ACADÉMICO	DIRECTOR DEPARTAMENTO	
 CARLOS MATRÁN BOCO	 Dr. DIEGO C. MARTÍNEZ SECRETARIO ACADÉMICO DPTO. DE CS. E ING. DE LA COMP. UNIVERSIDAD NACIONAL DEL SUR	 Dr. MARCELO A. FALAPPA DIRECTOR DECANO DPTO. DE CS. E ING. DE LA COMP. UNIVERSIDAD NACIONAL DEL SUR	