



ARQUITECTURA DE COMPUTADORAS

Trabajo Práctico N° 2

Diseño con Circuitos Integrados de Media y Gran Escala

Primer Cuatrimestre de 2010

Ejercicios

1. Construir la tabla de verdad de una función de tres variables $f(A, B, C)$, la cual debe retornar 0 cuando la mayoría de las entradas sean 0 y 1 en caso contrario. Luego, ensayar dos implementaciones, una con compuertas **NAND** e **INV** y la otra empleando un circuito multiplexor de 8 a 1 (*i.e.*, con tres líneas de selección). Finalmente, comparar el número de integrados requeridos (a nivel de fracción), tomando como referencia el anexo de circuitos del práctico anterior y que un **MUX** de 8 a 1 demanda todo un integrado.
2. Considerando la función de cuatro variables $f(A, B, C, D) = \sum(1, 6, 7, 9, 10, 14), \sum_o(13, 15)$ implementada mediante un **MUX**, con las entradas B y C conectadas como líneas de dirección y las variables A y D usadas para generar las funciones residuo:
 - a) Determinar todas las funciones residuo.
 - b) Calcular número máximo de funciones residuo que se podrían generar con las variables A y D y obtenerlas a partir de las diversas combinaciones de *minterms*.
OBS: Desarrollar una tabla en dos partes: función de un lado y complemento del otro tomando los *minterms* faltantes.
 - c) Excluyendo las funciones triviales, generar las restantes funciones residuo de dos variables con a lo sumo cinco compuertas **NAND** de dos entradas y cinco **INV**.
3. Implementar las funciones requeridas para controlar un display digital de siete segmentos utilizando:
 - a) Siete multiplexores de 8 entradas de datos.
 - b) Tres chips de dos multiplexores de 4 a 1 cada uno y compuertas.
 - c) Un decodificador BCD y compuertas **NAND**
OBS: En este caso es conveniente atacar la función complemento.
 - d) Utilizando un **PLA**, indicando el tamaño requerido.
 - e) Empleando una **ROM**, indicando su programación y el tamaño requerido.
4. Determinar el tamaño de **PLA** requerido para poder implementar:
 - a) Cuatro multiplexores de dos entradas de datos cada uno, compartiendo líneas de selección de a dos **MUXs**.
 - b) Dos multiplexores de cuatro entradas y líneas de selección independientes.
 - c) Un *Priority Encoder* de ocho entradas y tres salidas.

5. Tomando como referencia la función del ejercicio 1, analizar la implementación con un chip **PLA** con la siguiente capacidad: 12 variables de entrada, 50 términos producto y 6 salidas. Comparar la implementación resultante con las obtenidas empleando compuertas y empleando un multiplexor.

OBS: Se supone igual que antes que la parte remanente sin usar de un circuito podrá ser usada en la generación de otras funciones.

6. Considerando la función *OR-exclusivo* de cuatro variables:
 - a) Construir su tabla de verdad.
 - b) Obtener su mínima suma de productos asociada.
 - c) Implementar la función obtenida con compuertas **NAND** e **INV**.
 - d) Reimplementar la función anterior, esta vez usando compuertas **NAND** con salida *open-collector* e invirtiendo el *OR cableado*.
 - e) Reimplementar la función anterior una vez más, esta vez empleando solamente tres compuertas **XOR** de dos entradas.

Referencias

- [Bla79] BLAKESLEE, T. R. *Digital Design with Standard MSI and LSI*, second ed. John Wiley & Sons, 1979.