



## ARQUITECTURA DE COMPUTADORAS

Trabajo Práctico N° 1

### Introducción a los Circuitos Combinacionales

Primer Cuatrimestre de 2010

## Ejercicios

1. Para cada una de las siguientes expresiones, hallar sus respectivos *complementos* en base a las leyes de De Morgan y luego verificar el resultado obtenido mediante tablas de verdad.

a)  $AB(CD + \overline{C}\overline{D}) + AB(\overline{C} + D)$

b)  $(\overline{A} + BC + D)(A + \overline{BC} + D)(AB + CD)$

c)  $\overline{A(\overline{B} + C)} + (\overline{A}(B + C))$

2. Para cada una de las funciones obtenidas en el ejercicio anterior, determinar sus correspondientes *duales*.
3. Demostrar el siguiente teorema utilizando tablas de verdad:

$$XY + \overline{X}Z + YZ = XY + \overline{X}Z$$

4. Encontrar una demostración alternativa para el teorema anterior que se centre en el análisis del rol del término  $YZ$ , el cual a fin de cuentas tiene que resultar redundante.
5. Haciendo uso del teorema demostrado en el ejercicio 3, probar que:

$$(A + C)(\overline{A} + B) = AB + \overline{A}C$$

6. Expresar  $\overline{A}(B + C) + \overline{A}B + A\overline{C}$  como:

a) Una suma expandida de productos.

b) Un producto expandido de sumas.

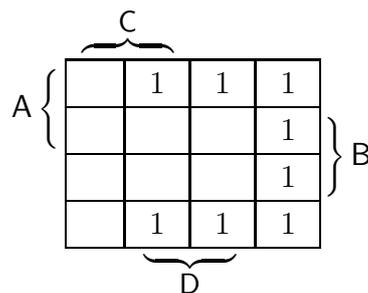
En ambos casos, notar sus respectivas formas canónicas tanto en forma expandida como compacta.

7. Bosquejar un *diagrama de Veitch* que describa la función analizada en el ejercicio anterior.
8. Se desea construir un circuito controlador del estado de tres calderas de forma tal que suene una alarma si se produce alguna situación anormal. El funcionamiento diario exige que en todo momento haya una caldera encendida, si bien se debe evitar que las tres calderas estén encendidas al mismo tiempo, ya que en ese caso el sistema se vería sobrecargado.

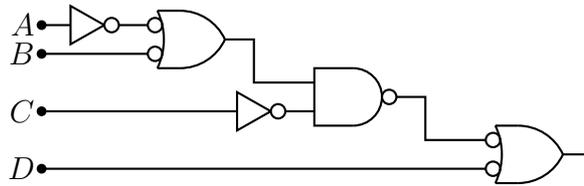
En este contexto,

- a) Diseñar una función que controle la alarma del complejo.
  - b) Bosquejar dos funciones auxiliares que permitan saber en todo momento cuántas calderas están encendidas.
9. Empleando la *notación canónica compacta*, definir las funciones  $w$ ,  $y$ ,  $z$  de un circuito combinacional de cuatro entradas  $A$ ,  $B$ ,  $C$  y  $D$ , donde se verifica que:
- La salida  $z$  será 1 cuando la mayoría de las entradas sean 1,
  - La salida  $y$  será 1 cuando haya menos de tres entradas que sean 1,
  - La salida  $w$  será 1 cuando dos o tres entradas sean 1.
10. Considerando la función lógica  $f(A, B, C, D) = \sum(2, 3, 5, 7, 8, 10, 12, 13)$ , determinar:
- a) Los implicantes primos usando el método tabular. Esta función, ¿cuenta con implicantes primos esenciales?
  - b) La cantidad de soluciones irredundantes diferentes, en base al método algebraico. ¿Cuáles de esas soluciones no son mínimas?
11. Se desea implementar la función  $f(A, B, C, D) = \sum(5, 7, 8, 10, 11, 12, 13, 15)$  de la forma más económica posible. A tal efecto:
- a) Determinar los implicantes primos aplicando el método tabular. Esta función, ¿cuenta con implicantes primos esenciales?
  - b) Encontrar alguna solución minimal empleando el método algebraico y mostrar el diagrama lógico de detalle resultante usando sólo compuertas **NAND** e **INV**.
12. Obtener gráficamente los implicantes primos de las funciones representadas por los siguientes diagramas:

	CD			
	00	01	11	10
AB				
00		1	1	
01		1	1	
11		1		
10		1	1	



13. Considerando la función lógica  $f(A, B, C, D) = \sum(1, 3, 7, 13, 15)$ , determinar tanto su *mínima suma de productos* como su *mínimo producto de sumas*, aplicando el método gráfico. ¿Cuál resulta más simple de obtener?
14. Implementar las soluciones mínimas del ejercicio anterior con compuertas **NAND** e **INV** para su *mínima suma de productos* y con compuertas **NOR** e **INV** para su *mínimo producto de sumas*.
15. Considerando el siguiente circuito implementado con compuertas **NAND** de dos entradas e inversores:



En este contexto, llevar adelante las siguientes tareas:

- a) Analizar sobre este esquema las condiciones que pueden conducir a la validación de la salida, lo cual se traducirá en la obtención de la función de salida, esto es, partiendo de la salida y retrocediendo hasta llegar a las entradas.

OBS: En este análisis, procesar información lógica, esto es, no eléctrica. En otras palabras, analizar el circuito prescindiendo de los niveles de tensión (más allá de la polaridad de la lógica), sólo leyendo el diagrama en sí.

- b) Si las compuertas y los inversores tienen un retardo de  $3ns$  (*i.e.*,  $3 \times 10^{-9}s$ ), ¿cuál es el retardo necesario para que la salida esté *establecida* en el peor caso, esto es, con todos los niveles de salida de las compuertas cambiando?
- c) Indicar en cada entrada y salida de compuerta cuál es la función lógica de las variables, partiendo desde las entradas del circuito, hasta llegar a su salida.

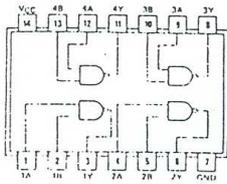
16. Utilizando las compuertas agrupadas de la forma indicada en el anexo, minimizar e implementar las funciones del ejercicio 9.

## Referencias

[Mar76] MARCUS, M. P. *Switching Circuits for Engineers*, third ed. Prentice-Hall, 1976.

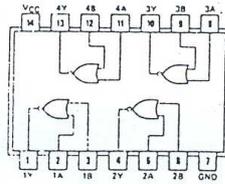
## POSITIVE GATES AND INVERTERS WITH TOTEM-POLE OUTPUTS

QUADRUPLE 2-INPUT  
POSITIVE-NAND GATES



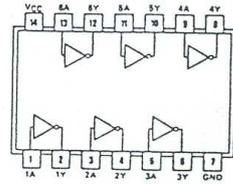
SN5400 (J)	SN7400 (J, N)
SN54H00 (J)	SN74H00 (J, N)
SN54L00 (J)	SN74L00 (J, N)
SN54LS00 (J, W)	SN74LS00 (J, N)
SN54S00 (J, W)	SN74S00 (J, N)

QUADRUPLE 2-INPUT  
POSITIVE-NOR GATES



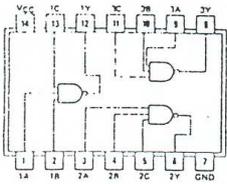
SN5402 (J)	SN7402 (J, N)
SN54L02 (J, W)	SN74L02 (J, N)
SN54S02 (J, W)	SN74S02 (J, N)

HEX INVERTERS



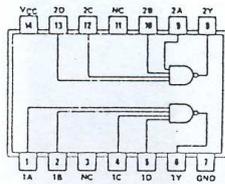
SN5404 (J)	SN7404 (J, N)
SN54H04 (J)	SN74H04 (J, N)
SN54L04 (J)	SN74L04 (J, N)
SN54LS04 (J, W)	SN74LS04 (J, N)
SN54S04 (J, W)	SN74S04 (J, N)

TRIPLE 3-INPUT  
POSITIVE-NAND GATES



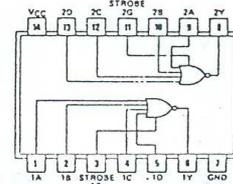
SN5410 (J)	SN7410 (J, N)
SN54H10 (J)	SN74H10 (J, N)
SN54L10 (J)	SN74L10 (J, N)
SN54LS10 (J, W)	SN74LS10 (J, N)
SN54S10 (J, W)	SN74S10 (J, N)

DUAL 4-INPUT  
POSITIVE-NAND GATES



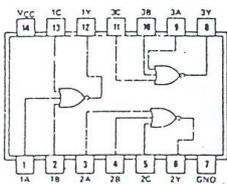
SN5420 (J)	SN7420 (J, N)
SN54H20 (J)	SN74H20 (J, N)
SN54L20 (J)	SN74L20 (J, N)
SN54LS20 (J, W)	SN74LS20 (J, N)
SN54S20 (J, W)	SN74S20 (J, N)

DUAL 4-INPUT  
POSITIVE-NOR GATES  
WITH STROBE



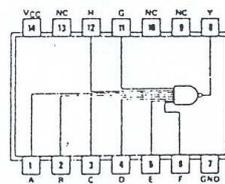
SN5425 (J, W)	SN7425 (J, N)
---------------	---------------

TRIPLE 3-INPUT  
POSITIVE-NOR GATES



SN5427 (J, W)	SN7427 (J, N)
SN54LS27 (J, W)	SN74LS27 (J, N)

8-INPUT  
POSITIVE-NAND GATES



SN5430 (J)	SN7430 (J, N)
SN54H30 (J)	SN74H30 (J, N)
SN54L30 (J)	SN74L30 (J, N)
SN54LS30 (J, W)	SN74LS30 (J, N)
SN54S30 (J, W)	SN74S30 (J, N)