

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		1 4
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS PARA INGENIERÍA		CÓDIGO: 7526 ÁREA N°: IV

CARRERAS Ingeniería en Sistemas de Computación					
PROFESOR RESPONSABLE: Dra. Dana Karina Urribarri – Profesora Adjunta con Dedicación Semiexclusiva					
CARGA HORARIA	Teoría 64	Práctica 38	Laboratorio 26	CANTIDAD DE SEMANAS	16
CORRELATIVAS					
PARA CURSAR LA MATERIA			PARA APROBAR LA MATERIA		
APROBADAS -Lenguajes Formales y Autómatas	CURSADAS -Organización de Computadoras -Técnicas Digitales -Teoría de la Computabilidad	APROBADAS -Organización de Computadoras -Técnicas Digitales -Teoría de la Computabilidad	CURSADAS		
DESCRIPCIÓN					
El objetivo de la materia es que los alumnos comprendan los aspectos centrales del funcionamiento de un sistema de cómputo. Inicialmente se presenta la arquitectura MIPS y la diferencia entre arquitectura y microarquitectura. Se comienza con temas relacionados al funcionamiento de la ALU. Luego se ve la ejecución de instrucciones por parte del procesador central (CPU), profundizando la implementación en pipeline y diferentes formas de lograr paralelismo a nivel de instrucciones. Se continúa con la jerarquía de memoria; se profundizan temas de Memoria Cache y se ven conceptos de Memoria Virtual correspondientes al hardware. Para completar el proceso, se abordan temas específicos de control del CPU. Por último, se presenta una clasificación de los sistemas, derivada de la de Flynn, en función del paralelismo presente a nivel de datos y de instrucciones. Se introducen diversas formas de interconexión en ambientes multiprocesador y multicomputadora. Como resultado se espera que el alumno alcance un nivel de conocimiento de los procesadores que le permita analizar, evaluar y comparar distintas arquitecturas. La materia, brinda conocimientos básicos para tratar temas posteriores relacionados a Sistemas Operativos, Sistemas Embebidos, etc.					
METODOLOGÍA DE ENSEÑANZA					
En las clases teóricas se presentan transparencias que resumen la totalidad de los contenidos del curso. Se motiva la participación de los alumnos a través de preguntas referidas a conceptos desarrollados previamente, en la misma materia o en las materias correlativas. Las actividades prácticas han sido diseñadas con el objetivo de reforzar, vincular y consolidar los conceptos presentados en teoría y desarrollar la capacidad para analizar, evaluar y comparar					

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		2 4
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS PARA INGENIERÍA		CÓDIGO: 7526
		ÁREA N°: IV

arquitecturas de computadoras.

La formación previa de los alumnos referida a Técnicas Digitales permite desarrollar con mayor profundidad diversos temas en aspectos teóricos como así también referidos a implementación.

Tanto en las clases teóricas como prácticas el uso de simuladores permite aplicar los contenidos presentados y complementar los ejercicios en papel. Además, se presentan ejemplos de soluciones reales a cuestiones teóricas planteadas previamente mediante el análisis de arquitecturas comerciales.

MECANISMO DE EVALUACIÓN

Para el cursado de la materia se deben aprobar dos exámenes parciales o sus respectivos recuperatorios. El examen final tiene como objetivo evaluar la integración de los conocimientos teóricos y prácticos.

PROGRAMA SINTÉTICO

1. **Introducción.** Arquitectura MIPS. Concepto de microarquitectura.
2. **Operaciones Básicas.** Operaciones aritméticas básicas; suma, resta, multiplicación y división. Algoritmos e Implementaciones.
3. **Procesador central.** Concepto de pipeline. Medidas de desempeño. Pipeline de instrucciones. Look Ahead y paralelismo. Paralelismo a nivel de instrucciones.
4. **Jerarquía de Memoria.** Tecnologías. Memoria RAM. Memorias Asociativas. Memoria Caché: organización, políticas de actualización, caché multinivel y caché no bloqueante. Memoria Virtual: segmentación, paginación y mecanismos de traducción.
5. **Control.** Implementación de control microprogramado y cableado. Análisis comparativo.
6. **Procesamiento paralelo.** Clasificación de Flynn del procesamiento paralelo. Arquitecturas no convencionales. Redes de interconexión. Topologías. Cluster: escalabilidad y disponibilidad.

PROGRAMA ANALÍTICO

1. **Introducción.** Arquitectura MIPS. Concepto de microarquitectura.
2. **Operaciones Básicas.**
 - a) Adición y Sustracción de enteros. Circuitos semisumador y sumador completo. Implementación en serie. Implementaciones en paralelo: ripple adder, carry-lookahead adder, lookahead tree adder, carry-skip adder y carry select adder. Análisis de complejidad de retardos y de espacio físico. Carry-save adder (CSA).
 - b) Multiplicación de enteros. Implementación secuencial. Recodificación del multiplicador

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		3 4
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS PARA INGENIERÍA		CÓDIGO: 7526 ÁREA N°: IV

y recodificación de Booth. Uso de Carry-save Adder en el proceso de multiplicación. Wallace Tree. Árboles multiplicadores con circuitos VLSI.

- c) División con y sin restauración. Hardware básico de división. Método de división rápida a partir del cálculo de la inversa del divisor. Algoritmo de división rápida SRT. Formas de acelerar la división.

3. Procesador central.

- a) Concepto de Pipeline. Clasificación según el uso y configuración. Secuenciamiento.
- b) Medidas de desempeño generales. Medidas de comparación de dos microarquitecturas. Diseño único ciclo, multiciclo y en pipeline. Medidas de desempeño de la implementación en pipeline.
- c) Pipeline de instrucciones. Esquema básico de 5 etapas de la arquitectura MIPS. Rendimiento. Requerimientos de hardware. Conflictos de datos, de recursos y de control. Soluciones en ejecución y en compilación a estos conflictos. Renombramiento de registros. Ejecución fuera de orden. Predicción estática y dinámica del branch. Branch Prediction Buffer y Branch Target Buffer. Branch retardado. Ejecución especulativa.
- d) Paralelismo a nivel de instrucciones. Procesadores Superescalares, *Very Long Instruction Word* y EPIC.

4. Jerarquía de Memoria.

- a) Memorias RAM (*Random Access Memory*) semiconductoras, estáticas y dinámicas. Memorias asociativas. Direcccionamiento.
- b) Jerarquía de memoria. Organización funcional. Localidad de las referencias. Tiempos de acceso a cada nivel. Alternativas para acelerar la comunicación Procesador-Memoria. *Interleaving* de Memoria. Arquitectura Von Neumann y arquitectura Harvard.
- c) Memoria Caché, formas de organización: Directa, *Fully Asociative* y *Set Asociative*. Tipificación de los fallos: Compulsivo, Capacitivo y Conflicto. Políticas de escritura: *write through* vs. *write back*; *write allocate* vs. *no allocate*. Caché virtual. Caché multinivel. Caché no bloqueante.
- d) Concepto de Memoria Virtual y requerimientos a nivel de arquitectura. Formas de organización: paginación, segmentación y segmentación con paginación. Mecanismos de traducción. *Translation Lookaside buffer*.

- 5. **Control.** Métodos de control por lógica cableada y microprogramación. Esquema del control cableado. Diseño de Wilkes. Formato y campos básicos de la microinstrucción. Microprogramación horizontal y vertical. Memoria de control. Análisis comparativo del control entre arquitecturas RISC y CISC.

- 6. **Procesamiento paralelo.** Clasificación de Flynn del procesamiento paralelo: SISD, SIMD, MISD, MIMD. Procesador Vectorial vs. Procesador Escalar. Extensión a la clasificación de Flynn. Arquitecturas no convencionales. Esquemas interconexión en sistemas MIMD. Redes de interconexión. Topologías. Cluster: escalabilidad y disponibilidad.

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		4 4
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS PARA INGENIERÍA		CÓDIGO: 7526 ÁREA N°: IV

BIBLIOGRAFÍA

- Andrew S. Tanenbaum & Todd Austin. *Structured Computer Organization*. Pearson. 2013, 6ta Ed.
- Bruce Jacob, Spencer W. Ng & David T. Wang. *Memory systems cache, DRAM, disk*. Elsevier, 2008.
- David A. Patterson & John L. Hennessy. *Computer Organization and Design. The Hardware/Software Interface*. Elsevier Inc. 2014, 5ta Ed.
- David M. Harris & Sarah L. Harris. *Digital Design and Computer Architecture*. Elsevier. 2013, 2da Ed.
- Jean-Loup Baer, *Microprocessor Architecture, From Simple Pipelines to Chip Multiprocessors*. CAMBRIDGE University Press, 2010.
- John L. Hennessy & David A. Patterson. *Computer Architecture: A Quantitative Approach*. Morgan Kaufmann Publishers INC. 2007, 4ta Ed.
- William Stallings. *Computer Organization and Architecture. Designing for Performance*. Pearson. 2013, 9na Ed.

Bibliografía Suplementaria

- J. Hayes, *Computer Architecture and Organization*. McGraw-Hill 1978.
- John F. Wakerly. *Digital Design Principles & Practices*. Prentice Hall. 1999, 3era Ed.
- K. Wang y F. Briggs, *Computer Architecture and Parallel Processing*. McGraw-Hill, 1984.
- M. Marcus, *Switching circuits for engineers*. Prentice-Hall 1977.
- M. Morris R. Mano , Charles R. Kime & Tom Martin. *Logic & Computer Design Fundamentals*. Pearson. 2015, 5ta Ed.
- M. Morris Mano & Michael D. Celetti. *Digital Design: With an Introduction to the Verilog HDL*. Pearson. 2015, 5ta Ed.
- T. Blakeslee, *Digital design with standard MSI and LSI*. John Wiley & Sons 1979.

AÑO		FIRMA PROFESOR RESPONSABLE	
2018			
VISADO			
COORDINADOR AREA	SECRETARIO ACADÉMICO	DIRECTOR DEPARTAMENTO	
	 Dr. DIEGO C. MARTINEZ SECRETARIO ACADÉMICO DPTO. DE CS. E ING. DE LA COMP. UNIVERSIDAD NACIONAL DEL SUR	 Dr. MARCELO A. FALAPPA DIRECTOR DEPARTAMENTO DPTO. DE CS. E ING. DE LA COMP. UNIVERSIDAD NACIONAL DEL SUR	

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		1 4
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS PARA INGENIERÍA		CÓDIGO: 7526
		ÁREA N°: IV

CARRERAS Ingeniería en Computación					
PROFESOR RESPONSABLE: Dra. Dana Karina Urribarri – Profesora Adjunta con Dedicación Semiexclusiva					
CARGA HORARIA	Teoría 64	Práctica 38	Laboratorio 26	CANTIDAD DE SEMANAS	16
CORRELATIVAS					
PARA CURSAR LA MATERIA			PARA APROBAR LA MATERIA		
APROBADAS -Lenguajes Formales y Autómatas	CURSADAS -Organización de Computadoras -Técnicas Digitales -Física II IS	APROBADAS -Organización de Computadoras -Técnicas Digitales		CURSADAS -Física II IS	
DESCRIPCIÓN					
El objetivo de la materia es que los alumnos comprendan los aspectos centrales del funcionamiento de un sistema de cómputo. Inicialmente se presenta la arquitectura MIPS y la diferencia entre arquitectura y microarquitectura. Se comienza con temas relacionados al funcionamiento de la ALU. Luego se ve la ejecución de instrucciones por parte del procesador central (CPU), profundizando la implementación en pipeline y diferentes formas de lograr paralelismo a nivel de instrucciones. Se continúa con la jerarquía de memoria; se profundizan temas de Memoria Cache y se ven conceptos de Memoria Virtual correspondientes al hardware. Para completar el proceso, se abordan temas específicos de control del CPU. Por último, se presenta una clasificación de los sistemas, derivada de la de Flynn, en función del paralelismo presente a nivel de datos y de instrucciones. Se introducen diversas formas de interconexión en ambientes multiprocesador y multicomputadora. Como resultado se espera que el alumno alcance un nivel de conocimiento de los procesadores que le permita analizar, evaluar y comparar distintas arquitecturas. La materia, brinda conocimientos básicos para tratar temas posteriores relacionados a Sistemas Operativos, Sistemas Embebidos, etc.					
METODOLOGÍA DE ENSEÑANZA					
En las clases teóricas se presentan transparencias que resumen la totalidad de los contenidos del curso. Se motiva la participación de los alumnos a través de preguntas referidas a conceptos desarrollados previamente, en la misma materia o en las materias correlativas. Las actividades prácticas han sido diseñadas con el objetivo de reforzar, vincular y consolidar los conceptos presentados en teoría y desarrollar la capacidad para analizar, evaluar y comparar					

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		2 4
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS PARA INGENIERÍA		CÓDIGO: 7526
		ÁREA N°: IV

arquitecturas de computadoras.

La formación previa de los alumnos referida a Técnicas Digitales permite desarrollar con mayor profundidad diversos temas en aspectos teóricos como así también referidos a implementación.

Tanto en las clases teóricas como prácticas el uso de simuladores permite aplicar los contenidos presentados y complementar los ejercicios en papel. Además, se presentan ejemplos de soluciones reales a cuestiones teóricas planteadas previamente mediante el análisis de arquitecturas comerciales.

MECANISMO DE EVALUACIÓN

Para el cursado de la materia se deben aprobar dos exámenes parciales o sus respectivos recuperatorios. El examen final tiene como objetivo evaluar la integración de los conocimientos teóricos y prácticos.

PROGRAMA SINTÉTICO

1. **Introducción.** Arquitectura MIPS. Concepto de microarquitectura.
2. **Operaciones Básicas.** Operaciones aritméticas básicas; suma, resta, multiplicación y división. Algoritmos e Implementaciones.
3. **Procesador central.** Concepto de pipeline. Medidas de desempeño. Pipeline de instrucciones. Look Ahead y paralelismo. Paralelismo a nivel de instrucciones.
4. **Jerarquía de Memoria.** Tecnologías. Memoria RAM. Memorias Asociativas. Memoria Caché: organización, políticas de actualización, caché multinivel y caché no bloqueante. Memoria Virtual: segmentación, paginación y mecanismos de traducción.
5. **Control.** Implementación de control microprogramado y cableado. Análisis comparativo.
6. **Procesamiento paralelo.** Clasificación de Flynn del procesamiento paralelo. Arquitecturas no convencionales. Redes de interconexión. Topologías. Cluster: escalabilidad y disponibilidad.

PROGRAMA ANALÍTICO

1. **Introducción.** Arquitectura MIPS. Concepto de microarquitectura.
2. **Operaciones Básicas.**
 - a) Adición y Sustracción de enteros. Circuitos semisumador y sumador completo. Implementación en serie. Implementaciones en paralelo: ripple adder, carry-lookahead adder, lookahead tree adder, carry-skip adder y carry select adder. Análisis de complejidad de retardos y de espacio físico. Carry-save adder (CSA).
 - b) Multiplicación de enteros. Implementación secuencial. Recodificación del multiplicador

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		3 4
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS PARA INGENIERÍA		CÓDIGO: 7526
		ÁREA N°: IV

y recodificación de Booth. Uso de Carry-save Adder en el proceso de multiplicación. Wallace Tree. Árboles multiplicadores con circuitos VLSI.

- c) División con y sin restauración. Hardware básico de división. Método de división rápida a partir del cálculo de la inversa del divisor. Algoritmo de división rápida SRT. Formas de acelerar la división.

3. Procesador central.

- a) Concepto de Pipeline. Clasificación según el uso y configuración. Secuenciamiento.
- b) Medidas de desempeño generales. Medidas de comparación de dos microarquitecturas. Diseño único ciclo, multiciclo y en pipeline. Medidas de desempeño de la implementación en pipeline.
- c) Pipeline de instrucciones. Esquema básico de 5 etapas de la arquitectura MIPS. Rendimiento. Requerimientos de hardware. Conflictos de datos, de recursos y de control. Soluciones en ejecución y en compilación a estos conflictos. Renombramiento de registros. Ejecución fuera de orden. Predicción estática y dinámica del branch. Branch Prediction Buffer y Branch Target Buffer. Branch retardado. Ejecución especulativa.
- d) Paralelismo a nivel de instrucciones. Procesadores Superescalares, *Very Long Instruction Word* y EPIC.

4. Jerarquía de Memoria.

- a) Memorias RAM (*Random Access Memory*) semiconductoras, estáticas y dinámicas. Memorias asociativas. Direccionamiento.
- b) Jerarquía de memoria. Organización funcional. Localidad de las referencias. Tiempos de acceso a cada nivel. Alternativas para acelerar la comunicación Procesador-Memoria. *Interleaving* de Memoria. Arquitectura Von Neumann y arquitectura Harvard.
- c) Memoria Caché, formas de organización: Directa, *Fully Asociative* y *Set Asociative*. Tipificación de los fallos: Compulsivo, Capacitivo y Conflicto. Políticas de escritura: *write through* vs. *write back*; *write allocate* vs. *no allocate*. Caché virtual. Caché multinivel. Caché no bloqueante.
- d) Concepto de Memoria Virtual y requerimientos a nivel de arquitectura. Formas de organización: paginación, segmentación y segmentación con paginación. Mecanismos de traducción. *Translation Lookaside buffer*.

- 5. **Control.** Métodos de control por lógica cableada y microprogramación. Esquema del control cableado. Diseño de Wilkes. Formato y campos básicos de la microinstrucción. Microprogramación horizontal y vertical. Memoria de control. Análisis comparativo del control entre arquitecturas RISC y CISC.

- 6. **Procesamiento paralelo.** Clasificación de Flynn del procesamiento paralelo: SISD, SIMD, MISD, MIMD. Procesador Vectorial vs. Procesador Escalar. Extensión a la clasificación de Flynn. Arquitecturas no convencionales. Esquemas interconexión en sistemas MIMD. Redes de interconexión. Topologías. Cluster: escalabilidad y disponibilidad.

UNIVERSIDAD NACIONAL DEL SUR BAHÍA BLANCA		4
		4
DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACIÓN		
ARQUITECTURA DE COMPUTADORAS PARA INGENIERÍA	CÓDIGO: 7526	
	ÁREA N°: IV	

BIBLIOGRAFÍA

- Andrew S. Tanenbaum & Todd Austin. *Structured Computer Organization*. Pearson. 2013, 6ta Ed.
- Bruce Jacob, Spencer W. Ng & David T. Wang. *Memory systems cache, DRAM, disk*. Elsevier, 2008.
- David A. Patterson & John L. Hennessy. *Computer Organization and Design. The Hardware/Software Interface*. Elsevier Inc. 2014, 5ta Ed.
- David M. Harris & Sarah L. Harris. *Digital Design and Computer Architecture*. Elsevier. 2013, 2da Ed.
- Jean-Loup Baer, *Microprocessor Architecture, From Simple Pipelines to Chip Multiprocessors*. CAMBRIDGE University Press, 2010.
- John L. Hennessy & David A. Patterson. *Computer Architecture: A Quantitative Approach*. Morgan Kaufmann Publishers INC. 2007, 4ta Ed.
- William Stallings. *Computer Organization and Architecture. Designing for Performance*. Pearson. 2013, 9na Ed.

Bibliografía Suplementaria

- J. Hayes, *Computer Architecture and Organization*. McGraw-Hill 1978.
- John F. Wakerly. *Digital Design Principles & Practices*. Prentice Hall. 1999, 3era Ed.
- K. Wang y F. Briggs, *Computer Architecture and Parallel Processing*. McGraw-Hill, 1984.
- M. Marcus, *Switching circuits for engineers*. Prentice-Hall 1977.
- M. Morris R. Mano , Charles R. Kime & Tom Martin. *Logic & Computer Design Fundamentals*. Pearson. 2015, 5ta Ed.
- M. Morris Mano & Michael D. Celetti. *Digital Design: With an Introduction to the Verilog HDL*. Pearson. 2015, 5ta Ed.
- T. Blakeslee, *Digital design with standard MSI and LSI*. John Wiley & Sons 1979.

AÑO		FIRMA PROFESOR RESPONSABLE	
2018			
VISADO			
COORDINADOR AREA	SECRETARIO ACADÉMICO	DIRECTOR DEPARTAMENTO	
 CARLOS J. MASTRIANO	 Dr. DIEGO C. MARTINEZ SECRETARIO ACADÉMICO DPTO. DE CS. E ING. DE LA COMP. UNIVERSIDAD NACIONAL DEL SUR	 Dr. MARCELA FALAPPA DIRECTOR DECANO DPTO. DE CS. E ING. DE LA COMP. UNIVERSIDAD NACIONAL DEL SUR	