

**DEPARTAMENTO DE CIENCIAS E INGENIERÍA DE LA COMPUTACION**

**ARQUITECTURA DE COMPUTADORAS**

**CODIGO: 5561**

**AREA N°: IV**

**CARRERAS Y PLANES**

Licenciatura en Ciencias de la Computación Plan 2007

Licenciatura en Ciencias de la Computación Plan 2011

**PROFESOR RESPONSABLE:**

Mg. Ing. Rafael Benjamín García – Profesor Asociado con Dedicación Exclusiva

<b>CARGA HORARIA</b>	<b>Teoría 64</b>	<b>Práctica 38</b>	<b>Laboratorio 26</b>	<b>CANTIDAD DE SEMANAS</b>	<b>16</b>
----------------------	----------------------	------------------------	---------------------------	----------------------------	-----------

**CORRELATIVAS**

<b>PARA CURSAR LA MATERIA</b>		<b>PARA APROBAR LA MATERIA</b>	
<b>APROBADAS</b> - Lenguajes Formales y Autómatas	<b>CURSADAS</b> - Organización de Computadoras	<b>APROBADAS</b> - Organización de Computadoras	<b>CURSADAS</b>

**DESCRIPCION**

El objetivo de la materia es el de alcanzar una comprensión del funcionamiento y diseño de un sistema de cómputo. Se comienza con un desarrollo de temas básicos referidos a técnicas digitales, circuitos combinatorios y secuenciales, posibilitando al alumno un manejo adecuado de estos tópicos, previo al desarrollo de los temas específicos de la materia.

Se desarrollan en profundidad los temas referidos a la ejecución de operaciones básicas, sus algoritmos y alternativas de aceleramiento en procesadores de alta prestación. Se continúa con las fases que acomete el procesador en el procesamiento de las instrucciones y la forma de optimizar su funcionamiento a través del pipelining. Se desarrolla una clasificación de los sistemas, derivada de la de Flynn, en función del paralelismo presente a nivel de datos y de instrucciones, arquitecturas multiprocesador, multicomputador, y cluster. Arquitecturas Grid.

Se estudia la organización e implementación de memorias RAM y Asociativas. Organización funcional. Concepto de jerarquía de memorias, niveles: Memoria Cache, Memoria Principal, Memoria Secundaria. Memoria Virtual.

Por último se abordan aspectos de control y de interconexión.

Como resultado se espera que el alumno alcance un nivel de conocimiento en el área de los sistemas de cómputo que lo habilite para analizar, evaluar, y comparar distintas arquitecturas.

La materia, además de ser básica para Sistemas Operativos y Distribuidos, resulta fundamental para abordar Arquitecturas Modernas, optativa de arquitecturas avanzadas y no convencionales.

**METODOLOGÍA DE ENSEÑANZA**

En las clases teóricas el profesor desarrolla la totalidad de los contenidos especificados en el programa y motiva la participación de los alumnos a través de preguntas referidas a conceptos desarrollados previamente, en la misma materia o en las materias correlativas.

Las actividades prácticas han sido diseñadas con el objetivo de reforzar, vincular y

consolidar los conceptos presentados en teoría y desarrollar la capacidad para analizar, evaluar y comparar una arquitectura de cómputos.

Tanto en las clases teóricas como prácticas el uso de simuladores permite aplicar los contenidos presentados y complementar la ejercitación convencional en papel. En particular el empleo de un simulador de una arquitectura pipeline posibilita al alumno experimentar trazas de ejecución variando parámetros del sistema.

### **MECANISMO DE EVALUACIÓN**

Para el cursado de la materia se deben aprobar dos exámenes parciales o sus respectivos recuperatorios. El contenido de los mismos es básicamente práctico. El examen final tiene como objetivo evaluar la integración de los conocimientos. Los alumnos que acreditan en el primer parcial haber adquirido los contenidos referidos a Técnicas Digitales quedan exceptuados de rendir estos temas en el examen final.

### **PROGRAMA SINTETICO**

#### **(Contenidos Mínimos aprobados por Resolución CDCIC -11)**

1. Técnicas Digitales. Álgebra de Boole. Circuitos combinatorios. Expresiones canónicas. Métodos de simplificación en dos niveles de compuertas. Circuitos de integración de media y gran escala, MSI y LSI; MULTIPLEXORES, DECODERS, RAM, ROM, PLA. Circuitos secuenciales por pulsos y por nivel. Flip Flop, Registros y Contadores.
2. Maquinas algorítmicas. Algoritmos de las operaciones aritméticas básicas: Suma, Resta, Multiplicación y División. Implementaciones básicas. Optimización de algoritmos y circuitos.
3. El procesador central. Etapas en el procesamiento de instrucciones. Data y Control Path. Look ahead y paralelismo. Pipeline. Clasificación del procesamiento paralelo. Arquitecturas multiprocesadores. Procesadores de alta prestación. Arquitecturas no Von Neumann. Data Flow computing. Conceptos de arquitecturas reconfigurables. FPGA. Conceptos de arquitecturas Grid. Conceptos de arquitecturas basadas en servicios.
4. Memoria RAM semiconductor. Memoria asociativa. Jerarquía de memorias. Organización funcional. Memoria Virtual, Segmentación, Paginación, Segmentación con Paginado. Algoritmos de reemplazo. Memoria Cache, organización.
5. Control. Control microprogramado y cableado. Análisis comparativo. Arquitecturas CISC y RISC.
6. Comunicaciones locales y distantes. Esquemas de conexión: Timeshared bus, Memoria multipórtico, Crossbar Switch y Multistage Switching Networks.

### **PROGRAMA ANALITICO**

1. Algebra de Boole. Circuitos combinatorios. Formas especiales de expresiones canónicas. Miniterm y Maxiterm. Diagramas lógicos: básicos y de detalle. Lógica positiva y lógica negativa. Método tabular y método gráfico de simplificación de funciones en dos niveles, para simple y múltiple salida. Circuitos con integración de media y gran escala y su empleo en la implementación de funciones lógicas; Multiplexor, Decoder/Demultiplexor, Memorias de lectura solamente (ROM, PROM, EPROM), Arreglos lógicos programables (PLA). Direccionamiento multidimensional. Introducción a los circuitos secuenciales por pulsos y por nivel. Fases de su desarrollo. Biestable (Flip Flop) como elemento de memoria. Diversos tipos de FF: S-R, D, T, J-K. Registros, Contadores: sincrónicos y asincrónicos. Registro de desplazamiento para implementar contadores. El contador como circuito generador de secuencia.

2. Maquinas algorítmicas. Adición y Substracción de enteros. Circuitos semisumador y sumador completo. Sumador serie y sumador paralelo. Ripple Adder y Carry Look-Ahead Adder. Carry Save Adder. Carry Skip Adder. Carry Select Adder. Multiplicación y división. Recodificación del multiplicador. Saltos sobre 0's y 1's; recodificación de Booth. Uso de Carry-Save Adder en el proceso de multiplicación. Wallace Tree. Arboles multiplicadores binarios, trabajando en notación redundante con circuitos VLSI. Proceso Log-Sum. División sin restoring. Método de división rápida, a partir del cálculo de la inversa. Algoritmo SRT de división. Aplicación de este a circuitos divisores con base mayor a 2, y que empleen sumadores del tipo CSA.

3. El procesador Central. Concepto de pipelining. Clasificación según el uso y configuración. Secuenciamiento de los mismos. Formas de acelerar los ciclos de una instrucción: FETCH, DECODE, EXECUTE. Paralelismo a nivel de instrucciones, ILP. Esquema de pipe básico de 5 etapas DLX. Hazard en un procesador en pipeline: de Datos, de Recursos y de Control. Renombramiento de registros. Ejecución fuera de orden (despacho condicional). Predicción del branch. Branch retardado. Predicción dinámica. Procesador Vectorial. Procesador Superescalar. Clasificación del procesamiento paralelo: SISD, SIMD, MISD, MIMD. Extensión a la clasificación de Flynn. Interconexión en los MIMD: Shared Memory, Distributed Shared Memory y Distributed Memory. Análisis de los paradigmas de programación. Arquitecturas multiprocesador. Procesadores de alta prestación. Arquitecturas no Von Neumann. Data Flow Computing. Conceptos de arquitecturas reconfigurables; FPGA, programación. Conceptos de arquitecturas Grid. Conceptos de arquitecturas basadas en servicios.

4. Memorias RAM (Random Acces Memory). Direccionamiento. RAM semiconductoras, estáticas y dinámicas. Memorias asociativas. Jerarquía de memorias. Localidad de las referencias. Memoria Virtual, concepto, requerimiento a nivel de arquitectura. Formas de organización: paginación, segmentación y segmentación con paginado. Mecanismos de traslación: directo, asociativo e híbrido (TLB). Algoritmos de reemplazo: Azar, FIFO,

FINUFO, LRU, Working Set y PFF. Algoritmos óptimos. Alternativas para acelerar la comunicación Procesador-Memoria. Interleaving de Memoria. Memoria Caché, formas de organización: Directa, Full Asociativa y Set Asociativa. Políticas de escritura: write through - write back, allocate – no allocate. Lockup-free cache. Cache virtuales: Index virtual, Tag virtual. Cuestiones referidas a alias y ambigüedades.

5. Diseño del control. Métodos de control por lógica cableada y microprogramado. Esquema de un control cableado. Campos básicos de la microinstrucción. Temporizado. Reducción del costo del hardware referido al tamaño de la memoria de control, tanto vertical como horizontal. Aplicaciones de la microprogramación en: Emulación, Ejecución directa de Lenguajes de Alto Nivel, Sintonía de Arquitecturas. Arquitecturas RISC y CISC, análisis comparativo.

6. Comunicaciones: locales y distantes, sincrónicas y asincrónicas. Comunicación dedicada y compartida. Time-Shared Bus, Memoria de Múltiple Pórtico, Cross Bar Switch y Multistage Switching Networks.

**BIBLIOGRAFÍA**

Bibliografía Básica

- J. Hennessy & D. Patterson, Computer Architecture A Quantitative Approach. Morgan Kaufmann Publishers INC, 2003. 3 ed., 2006. 4ta ed.
- Jean-Loup Baer, Computer Systems Architecture. Computer Science Press, 1980.

Bibliografía Adicional

- K. Wang y F. Briggs, Computer Architecture and Parallel Processing. McGraw-Hill, 1984.
- T. Blakeslee, Digital design with standard MSI y LSI. John Wiley & Sons 1979
- M. Marcus, Switching circuits for engineers. Prentice-Hall 1977
- J. Hayes, Computer Architecture and Organization. McGraw-Hill 1978
- A. Tanenbaum, Structures Computer Organization. Prentice-Hall , Fourth Edition 1999

**AÑO**

**2012**

**FIRMA PROFESOR RESPONSABLE**

**VISADO**

**COORDINADOR AREA**

**SECRETARIO ACADÉMICO**

**DIRECTOR  
DEPARTAMENTO**